

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-213582

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

H01L 27/146

H01L 21/265

H04N 1/19

(21)Application number : 07-016167

(71)Applicant : SONY CORP

(22)Date of filing : 02.02.1995

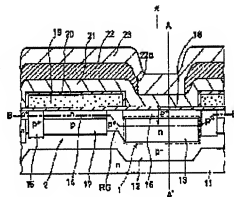
(72)Inventor : ASAI ATSUSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PURPOSE: To enable the full display of the functions of a buried region formed on a semiconductor substrate, simplify the production process and reduce the man-hours.

CONSTITUTION: A transfer channel region 14, a gate insulation film 18 and a transfer electrode 19 are formed on a silicon substrate 11 to fabricate a vertical transfer register 2, then a p-type impurity (B), for example, is implanted by a high energy ion implantation through the electrodes 19 and diffused to form buried well regions 12 which form overflow barriers against signal charges, and n-type impurity diffused regions 13 and p-type hole storage regions 16 are formed with the electrodes 19 used as a mask in a portion to form a photodetecting part 1.



LEGAL STATUS

[Date of request for examination]

16.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3341514

[Date of registration]

23.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213582

(43) 公開日 平成8年(1996)8月20日

(51) Int. CL ⁴	識別記号	片内整理番号	P I	技術表示箇所
H 0 1 L 27/146				
21/265				
H 0 4 N 1/19				
			H 0 1 L 27/ 14	A
			21/ 265	Y
審査請求 未請求 請求項の枚数 7 O L (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平7-16167

(22) 出願日 平成7年(1995)2月2日

(71) 出願人 00002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 浅井 淳

東京都品川区北品川6丁目7番35号 ソニー株式会社内

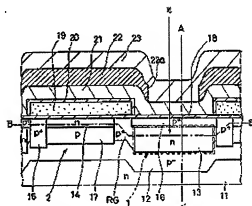
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【目的】 半導体基板中に形成される埋め込み領域の機能を十分に発揮させることができようとし、しかも製造工程の簡略化及び工数削減を図る。

【構成】 シリコン基板 1 上に垂直転送レジスタ 2 を構成する転送チャネル領域 14、ゲート絶縁膜 18 及び転送電極 19 を形成した後、この転送電極 19 を通してシリコン基板 1 内に例えば p 形の不純物（ホロン (B)）を高エネルギーイオン注入により導入する。そして、この導入された不純物の拡散によって、信号電荷に対するオーバーフローバリアを構成する埋め込みウェル領域 12 を形成する。その後、転送電極 19 をマスクとして受光部 1 となる部分に n 形の不純物拡散領域 13 及び p 形の正孔蓄積領域 16 を形成する。



- | | |
|-----------------|---------------|
| 1...受光部 | 16...正孔蓄積領域 |
| 2...垂直転送レジスタ | 18...ゲート絶縁膜 |
| 11...シリコン基板 | 19...転送電極 |
| 12...埋め込みウェル領域 | 22...エピタキシャル層 |
| 14...転送チャネル領域 | RQ...露出したゲート部 |
| 15...チャネルストップ領域 | |

(2)

特開平 8 -

1

2

【特許請求の範囲】

【請求項 1】 半導体基板内に面方向に形成される埋め込み領域が深さ方向に変化を有することを特徴とする半導体装置。

【請求項 2】 上記埋め込み領域は、上記半導体基板上に形成される半導体素子のデバイス特性に対応して深さ方向に変化を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 上記埋め込み領域は、蓄積期間に被写体からの入射光をその光量に応じた量の信号電荷に光電変換する受光部と、電荷転送期間に上記信号電荷を出力側に転送する電荷転送部と、読出し期間に上記受光部に蓄積されている上記信号電荷を上記電荷転送部に転送する読出しゲート部とを有する固体撮像素子における上記信号電荷に対するポテンシャルバリアとして機能するウェル領域であり、かつ深さ方向が各部に対応して異なることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 上記半導体素子が、蓄積期間に被写体からの入射光をその光量に応じた量の信号電荷に光電変換する受光部と、電荷転送期間に上記信号電荷を出力側に転送する電荷転送部と、読出し期間に上記受光部に蓄積されている上記信号電荷を上記電荷転送部に転送する読出しゲート部とを有する固体撮像素子であって、上記埋め込み領域が、上記信号電荷に対するポテンシャルバリアとして機能するウェル領域であり、かつ深さ方向が各部に対応して異なることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】 上記受光部は、少なくとも上記ウェル領域を構成する上記埋め込み領域と放電埋め込み領域から表面側に形成された第 1 導電形の不純物拡散領域との p-n 接合を有して構成され、上記読出しゲート部は、上記埋め込み領域から表面側に連続形成された別の第 2 導電形の不純物拡散領域にて構成され、上記電荷転送部は、上記埋め込み領域から表面に上記連続形成された上記別の第 2 導電形の不純物拡散領域を介してその表面側に形成された第 1 導電形の不純物拡散領域を有して構成されていることを特徴とする請求項 3 又は 4 記載の半導体装置。

【請求項 6】 半導体基板上に半導体素子パターンを形

上記電荷転送部に形成される転送電極埋め込み領域が、上記信号電荷に対するポテンシャルバリアとして機能するウェル領域であること、請求項 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体に入された不純物の拡散による埋め込み領域の形成及びその製造方法に関するもので、像素子における受光部とその周辺部分の好適なものである。

【0002】

【従来の技術】一般に、半導体基板内に形成するケースとしては、例えば縦形 p-タあるいは縦形 n-p-n トランジスタにおける低減化を目的とする場合や、固体撮像素子下部に信号電荷に対するポテンシャルバリアを形成してブルーミングを抑制するようにしている。

【0003】従来のように、半導体基板領域を形成する場合は、図 7 に示すように、01 上に形成される例えばゲート絶縁膜による酸化膜を形成する前に、まず、基板上に薄い酸化膜 102 を形成した後、イオン注入によるイオン注入による不純物を拡散し、その後、熱処理による活性化を行なう。1 内に上記導入された不純物による不純物埋め込み領域 103 を形成するようにして

【0004】そして、例えば固体撮像素子では、図 8 に示すように、上記工程後、プロセスを用いて、必要な不純物、例えば、不純物（リン（P）及びボロン（B））の注入や拡散等による導入及び熱処理によって、シリコン基板 01 中の上記埋め込み領域の表面側に、n 形の転送チャネル領域 104、p 形のゲート領域 105 及び第 2 の p 形領域 106 を形成する。

【0005】その後、転送チャネル領域は SiO₂ 等からなるゲート絶縁膜 107 によって多結晶シリコン層による酸化膜 108

4

号電荷が蓄積されることになるが、オー
アOBの頂点あるいはその近くまで信号
した場合、オーバーフローバリアOBのポ
が緩やかであると、受光部111の実効
って最大蓄積電荷量が少なくなり、また、
の高さが低い横方向（読出しゲート部R
その結果蓄積電荷量の強い入射光量依存
という関係が生じる。

【0014】つまり、オーバーフローバ
ンシャル勾配が緩やかであると、熱運動
係から、オーバーフローバリアOBを飛
越1側にあふれはじめるポテンシャル
ポテンシャルを有する電荷(この場合、
101側に流れることなく、そのまま受
け入れられ、横方向に後出したりする

【0015】そのため、光電変換特性上、 e^- 点以上の非線形特性領域における電圧変動にオーバーフローしにくいことにならざるを得ない。また、電圧変動に対する蓄積電荷量の入射光量依存性の劣化を引き起こすことになる。

20

【0016】一方、一般的に埋め込み導る半導体装置においては、各機能部におを向上させるために、選択的な複数回のオン注入)や拡散によって別途ポテンシャル領域を形成するようにしている。

【0017】このように、従来の半導体組み立て領域を有する半導体装置においては、形成される埋め込み領域の機能を十分に果たさず、また、機能向上のために別途、製造工程の複雑化を工数の増大化を伴った。

【018】本発明は、上記の課題に鑑みて、その目的とするところは、半導体埋め込み領域の機能性を基板上に形成子の各機能部に対応したものにするこめ込み領域の機能を十分に発揮させること結実を損伴することにある。

【0019】また、本発明の他の目的は、
に形成される半導体素子のデバイス特性
線物導入回数を低減することができ、製

(4)

特開平 8 -

5

6

の発明)。

【0022】この場合、上記埋め込み領域を、上記半導体基板上に形成される半導体素子のデバイス特性に対応して深さ方向に変化を有するように構成してもよい(請求項2記載の発明)。

【0023】また、上記埋め込み領域を、蓄積期間に被写体からの入射光をその光量に応じた量の信号電荷に光電変換する受光部と、電荷転送期間に上記信号電荷を出力側に転送する電荷転送部と、読出し期間に上記受光部に蓄積されている上記信号電荷を上記電荷転送部に転送する読出しゲート部とを有する固体撮像素子における上記信号電荷に対するポテンシャルバリアとして機能するウェル領域とし、かつ深さ方向が各部に対応して異なるように構成してもよい(請求項3記載の発明)。

【0024】また、上記半導体素子を、蓄積期間に被写体からの入射光をその光量に応じた量の信号電荷に光電変換する受光部と、電荷転送期間に上記信号電荷を出力側に転送する電荷転送部と、読出し期間に上記受光部に蓄積されている上記信号電荷を上記電荷転送部に転送する読出しゲート部とを有する固体撮像素子とし、上記埋め込み領域を、上記信号電荷に対するポテンシャルバリアとして機能するウェル領域であって、かつ深さ方向が各部に対応して異なるように構成してもよい(請求項4記載の発明)。

【0025】また、上記受光部を、少なくとも上記ウェル領域を構成する上記埋め込み領域と該埋め込み領域から表面側に形成された第1導電形の不純物拡散領域とのp-n接合を有して構成し、上記読出しゲート部を、上記埋め込み領域から表面側に連続形成された別の第2導電形の不純物拡散領域にて構成し、上記電荷転送部を、上記埋め込み領域から表面に上記連続形成された上記別の第2導電形の不純物拡散領域を介してその表面側に形成された第1導電形の不純物拡散領域を有して構成するようにしてもよい(請求項5記載の発明)。

【0026】次に、本発明に係る半導体装置の製造方法は、半導体基板上に半導体素子パターンを形成した後、該半導体素子パターンを通して上記半導体基板内に不純物を導入して、該導入された不純物の拡散による埋め込み領域を形成する(請求項6記載の発明)。

【0027】この場合、上記半導体素子パターンを、蓄

【作用】請求項1記載又は請求項2記載半導体装置においては、半導体基板内に埋め込み領域が深さ方向に変化を有する半導体基板上に形成される半導体素子各部の特性に応じた位置に埋め込み領域を設け可能となる。その結果、半導体基板内埋め込み領域の機能を、基板上に形成される各機能部に対応したものにすることができ、埋め込み領域の機能を十分に発揮させることができる。

【0029】また、請求項3記載〜請求項4に係る半導体装置においては、半導体素子の半導体素子を固体撮像素子としての基板中に形成される埋め込み領域は、固体電荷に対するポテンシャルバリア、即ち、積量を規制・制御するためのオーバーフロー機能するウェル領域となる。

【0030】この場合、上記ウェル領域部に対応して異なるようにになっている埋め込み領域は、受光部、読出しゲート部及び電荷転送部に機能するウェル領域となる。

【0031】具体的には、ウェル領域において該受光部を包むように形成され、埋め込み領域にて形成されるポテンシャルバリアの勾配が急峻な特性を有することになる。一部にて蓄積される信号電荷の蓄積量(電量)を増やすことができ、信号電荷の熱の関係からポテンシャルバリアの頂点を離れ、確実に基板側に漏出することになる。

【0032】そのため、受光部の光電変換(knee)点以上の非線形特性領域には受光部に蓄積されないことになり、埋め込み領域の範囲を大きくとることが可能となり、電量以上に対する蓄積電荷量の入射光量依り、感度の向上を図ることができ、

【0033】次に、請求項6記載の本発明装置の製造方法においては、まず、半導体素子パターンを形成する。その後、このパターンを通して半導体基板内に不純物を導入して、この導入された不純物の拡散による

(5)

特開平 8-

8

7

領域の機能を十分に発揮させることが可能となる。また、半導体基板上に形成される半導体素子のデバイス特性向上のための不純物導入回数を低減することができ、製造工程の簡略化及び工数削減を図ることができる。

【0036】また、請求項7記載の本発明に係る半導体装置の製造方法においては、半導体基板上に固体撮像素子の転送電極を形成した後に、この転送電極を通して半導体基板内に不純物を導入する。そして、この導入された不純物の拡散による埋め込み領域を形成する。

【0037】このため、半導体基板上に固体撮像素子を形成した場合、半導体基板の表面に形成された固体撮像素子を構成する受光部、読出しゲート部及び電荷転送部の各機能部下に、上記転送電極のパターンに応じて深さの異なる埋め込み領域が形成されることになる。即ち、埋め込み領域は、深さ方向に変化を有することになり、固体撮像素子を構成する各機能部の特性に応じた位置に埋め込み領域が形成されることになる。

【0038】これにより、埋め込み領域が受光部の下部において該受光部を包むように形成され、しかも、埋め込み領域にて形成されるポテンシャルバリアのポテンシャル勾配が急峻な特性を有することになる。その結果、受光部にて蓄積される信号電荷の蓄積量（最大信号電荷蓄積量）を増やすことができ、信号電荷の熱運動エネルギーの関係からポテンシャルバリアの頂点を越える信号電荷は、確実に基板側に流出することになる。

【0039】そのため、受光部の光電変換特性上、ニー（knee）点以上の非線形特性領域における信号電荷は受光部に蓄積されにくいことになり、しかも、線形特性領域の範囲を大きくとることが可能となるため、飽和光量以上に対する蓄積電荷量の入射光量依存性が良好になり、感度の向上を図ることができる。

【0040】また、上述のことからわかるように、各機能部部の特性を向上させるための複数回にわたる不純物導入を最小限に抑えることが可能となるため、特性向上のための工程が大幅に低減され、製造工程の低減化及び工数の削減化を実現させることが可能となる。

【0041】

【実施例】以下、本発明に係る半導体装置及びその製造方法を例えばフレーム・インターライン転送（FIT）方式のCCDイメージセンサに適用した実施例（以下、

ジスタ2に接続してそれぞれ多数本の垂4のみが延長形成されたストレージ部5。【0043】また、ストレージ部5に隣本の垂直転送レジスタ4に対して共通とレジスタが2本、それぞれ並設されてい本の水平転送レジスタのうち、ストレージする水平転送レジスタを第1の水平転送他の水平転送レジスタを第2の水平転送記す。

【0044】そして、ストレージ部5とレジスタH1間には、ストレージ部5にレジスタ4の最終段に転送された信号電荷転送レジスタH1に転送するための2つ送レジスタVH1及びVH2が多数本の垂4に対して共通に、かつそれぞれ並列にけ。これら2本の垂直-水平転送レジスタH2には、それぞれ垂直-水平転送バル、VH2が供給されるようになっている、ルスφVH1及びφVH2の供給によっジスタ4からの信号電荷が第1の水平転

に転送されることになる。【0045】また、第1及び第2の水平1及びH2間には、第1の水平転送レジ、された信号電荷を選択的に第2の水平転側に転送する水平-水平転送レジスタH1送レジスタH1及びH2に沿って水平方配されている。この水平-水平転送レジ、水平-水平転送パスφHHGが供給さており、この転送パスφHHGの供給の水平転送レジスタH1にある信号電荷の水平転送レジスタH2に転送されるこ。

【0046】また、上記第1及び第2のタH1及びH2の各最終段には、それぞれ出力部6a及び6bが接続されている。第2の出力部6a及び6bは、各水平1及びH2の最終段から転送されてきた信号（例えば電圧信号）に変換する例えばグ・ディフュージョンあるいはフローテ等で構成される電荷-電気信号変換部7、電気信号変換部7にて電気信号の変換が

(6)

特開平 8 -

9

19

して、その組が多数、縦方向に順次配列されて形成されている。そして、イメージ部3における4枚の垂直転送電極には、互いに位相の異なる4つの垂直転送パルスφ1M1〜φ1M4がそれぞれ供給され、ストレージ部5における4枚の垂直転送電極には、互いに位相の異なる4つの垂直転送パルスφST1〜φST4がそれぞれ供給されるようになっている。

【0048】これらイメージ部3における垂直転送パルスφ1M1〜φ1M4及びストレージ部5における4つの垂直転送パルスφST1〜φST4の供給によって、イメージ部3及びストレージ部5における各垂直転送電極下のポテンシャル分布が順次変化し、これによって、信号電荷がそれぞれイメージ部3における垂直転送レジスタ2及びストレージ部5における垂直転送レジスタ4に沿って縦方向（第1の水平レジスタH1側）に転送されることになる。

【0049】特に、イメージ部3においては、受光部1に露光されている信号電荷を垂直帰線期間において、まず、垂直転送レジスタ2に読出し、その後、この垂直帰線期間内において、上記垂直転送レジスタ2に転送された信号電荷を高速度にストレージ部5の垂直転送レジスタ4に転送する。

【0050】ストレージ部5は、垂直帰線期間において垂直転送レジスタ4に転送された信号電荷を、その後の水平帰線期間において1行単位に第1の水平転送レジスタH1側に転送する。これによって、垂直転送レジスタ4の最終段にあった信号電荷は、2つの垂直-水平転送レジスタVH1及びVH2を経て、まず、第1の水平転送レジスタH1に転送され、そのうち、例えば偶数列に関する信号電荷が、水平-水平転送レジスタHHを介して第2の水平転送レジスタH2に転送される。

【0051】そして、次の水平走査期間において、第1及び第2の水平転送レジスタH1及びH2上に形成された例えば2層の多結晶シリコン層による水平転送電極への互いに位相の異なる2相の水平転送パルスφH1及びφH2の印加によって、信号電荷が順次対応する出力部6a及び6b側の電荷-電気信号変換部7に転送され、各電荷-電気信号変換部7において電気信号に変換されて、それぞれアンプ8を介して対応する出力端子9より補償信号S1及びS2として取り出されることになる。

領域17がそれぞれ形成されている。なお、物性拡散領域13と転送チャネル領域1417は、読出しゲート部RGを構成する。

【0053】また、このイメージセンサ1に、n形シリコン基板11の表面にp型ウェル領域12を形成して、この埋め込みによりも浅い位置に上記受光部1を構成する拡散領域13を形成することで、いわゆるの機能を有するように構成されている。

【0054】即ち、シリコン基板11に11電位をシャッタパルスに同期して高レベルより、p形の埋め込みウェル領域12にチャネル障壁（オーバーフローバリア）が下側に露光された電荷（この場合、電子）が、ローバリアを越えて縦方向、即ちシリコンに掃き捨てられることになる。これにより、スの最終印加時点から電荷読出し時点までの露光期間となり、残像等の不都合を防止できるようにしている。

【0055】また、このイメージセンサ1に記n形の不純物拡散領域13とp形の埋め込み領域12とのpn接合によるフォトダイオードの不純物拡散領域13と読出しゲート部RG、あるいはフォトダイオード、n形の不純物拡散領域13とp形の埋め込み領域15とのpn接合によるフォトダイオード、並びにn形の不純物拡散領域13とp型の不純物拡散領域16とのpn接合によるフォトダイオード（光電変換部）が構成され、多数個マトリクス状に配列されて撮像している。そして、カラー撮像方式の場合、に対応して形成される色フィルタ（三原色フィルタ）の配色などの関係によって、隣接する4つの受光部1にて1つの画素になっている。

【0056】また、転送チャネル領域1417に領域15及び読出しゲート部RG、15からなるゲート絶縁膜18を介してシリコン層及び2層目の多結晶シリコンの転送電極が形成され、これら転送チャネル領域18及び転送電極によ

(7)

特開平 8 -

12

11

D法によるSiN膜23が形成されている。

【0058】上記A1遮光膜22は、受光部1上において選択的にエッチング除去されており、光は、このエッチング除去によって形成された開口22aを通じて受光部1内に入射されるようになっている。

【0059】なお、図2の断面図においては、簡単のため、A1遮光膜22上の平坦化膜、色フィルタ及びマイクロ稜光レンズなどは省略してある。

【0060】そして、この実施例に係るイメージセンサにおいては、p形の埋め込みウェル領域12の深さ方向が、受光部1下、読出しゲート部RG下及び垂直転送レジスタ2下において、それぞれ異なったものとなっており、特に、受光部1下においては、該受光部1を3次元的に包み込むように上記埋め込みウェル領域12が形成されている。

【0061】ここで具体的に、上記実施例に係るイメージセンサの製造方法を図3及び図4の製造工程図に基づいて説明する。なお、図2と対応するものについては同符号を記す。

【0062】まず、図3Aに示すように、n形のシリコン基板11内に、イオン注入用絶縁膜31を介してp形の不純物（例えばボロン（B））を例えばイオン注入により導入して、表面まで達するp形のウェル領域32を形成する。

【0063】次に、図3Bに示すように、上記p形ウェル領域32に、p形の不純物（例えばボロン（B））を例えばイオン注入により選択的に導入して、p形ウェル領域32の表面に高濃度のp形のチャネルストップ領域15を形成し、その後、再度p形の不純物をイオン注入により選択的に導入して第2のp形ウェル領域17を形成する。その後、上記第2のp形ウェル領域17の表面にn形の不純物（例えばリン（P）や砒素（As）等）を例えばイオン注入により選択的に導入して、第2のp形ウェル領域17の表面にn形の転送チャネル領域14を形成する。

【0064】次に、図3Cに示すように、イオン注入用絶縁膜31を除去した後、転送チャネル領域14上に例えばSiO₂等からなるゲート絶縁膜18を形成し、その後、このゲート絶縁膜18を介して多結晶シリコン層による転送電極19を形成する。その後、熱酸化を施し、

ル領域12を形成する。

【0066】この場合、転送チャネル領域19が存在することから、転送チャネルへの不純物導入は、上記転送電極19を介することになり、転送チャネル領域14下（導入位置は、転送電極19の厚みの関係なる部分下における不純物導入位置より、

【0067】従って、上記埋め込みウェル、受光部1となる部分、読出しゲート部RG及び転送チャネル領域14下において連続しかも、その深さ方向は各部分下においてのこととなる。

【0068】また、読出しゲート部RG、チャネルストップ領域15に対応する部分、転送電極19の形成端が存在することから、埋め込みウェル領域12の形成状態は、側面（傾斜した状態）となる。即ち、図示の例でウェル領域12は、受光部1となる部分に最も深く、転送チャネル領域14に対応し、浅く形成され、上記チャネルストップ領域15に対応する部分がこれら位置に形成された埋め込みウェル領域12のような形（傾斜状態）に形成されること。

【0069】また、図示しないが、選択的分子分離がなされている場合は、その分子層が絶縁膜下にも該絶縁膜の厚みに応じて埋め込みウェル領域12が形成され、

【0070】なお、上記不純物のイオン注入は、シリコン基板11の表面に形成された18がイオン注入による照射損傷を吸収する層として機能する。

【0071】ここで、上記高エネルギーによる注入エネルギーは、本実施例に係る可視光を受光する素子である場合は、約10¹⁷cm⁻³（約800nm）により決定する。例えばボロン（B）の場合、約1MeV（基板表面より約1.7μm）である。

【0072】イメージセンサとして長波長のために、ボロン（B）の場合、約3×

(8)

特開平 8 -

13

物(例えばボロン(B))をイオン注入により選択的に導入して、n形の不純物拡散領域13の表面にp形の正孔蓄積領域16を形成する。

【0074】次に、図4Cに示すように、全面に増肉絶縁膜であるPSG膜21を厚み200~400nm程度、例えばCVD法により堆積する。その後、全面にA1透光膜22を形成した後、例えば垂直モードによるRIE(反応性イオンエッチング)でA1透光膜22をパターニングして受光部開口22aを形成する。

【0075】そして、図2に示すように、A1透光膜22を含む全面に表面保護用のシリコン窒化膜23を厚み300~500nm程度、例えばCVD法にて成膜する。このシリコン窒化膜23及び下層のPSG膜21にて受光部1上のパッシベーション膜が構成されることになる。これ以降の工程は通常のCCDプロセスと同じであるため、その説明は省略する。

【0076】このように、上記実施例に係るイメージセンサにおいては、受光部1下に形成されるp形の埋め込みウェル領域12の形成を、シリコン基板11上にゲート絶縁膜18を介して形成された転送電極19を通してp形の不純物を高エネルギーイオン注入にてシリコン基板11中に導入することにより行なうようにしている。

【0077】この埋め込みウェル領域12は、受光部1に蓄積される信号電荷に対するポテンシャルバリア、即ち、信号電荷の蓄積量を規制・制御するためのオーバーフローバリアとして機能する領域となる。

【0078】この場合、上記埋め込みウェル領域12の深さ方向が各部に対応して異なるようになっているため、この埋め込みウェル領域12は、受光部1、読出しゲート部RG及び垂直転送レジスタ2の各特性に応じた機能を有することになる。

【0079】具体的には、埋め込みウェル領域12が受光部1の下部において該受光部1を包むように形成されることになり、図5及び図6に示すように、上記埋め込みウェル領域12にて形成されるポテンシャル井戸は、従来の場合(図9及び図10参照)と比べて深くなり、そのオーバーフローバリアOBのポテンシャル勾配は急峻な特性を有することになる。

【0080】その結果、受光部1にて蓄積される信号電荷の蓄積量(最大信号電荷蓄積量)を増やすことがで

14

【0081】そのため、受光部1の光電一(knee)点以上の非線形特性領域は受光部1に蓄積されないことになり、特性領域の範囲を大きくすることが可能。和光量以上に対する蓄積電荷量の入射光になり、感度の向上を図ることができる。

【0082】そして、上述のことから、射した場合に、信号電荷が読出しゲートに垂直転送レジスタ2側に流出するという流れ、ブルーミング(電荷溢れ)耐性が改

【0083】また、信号電荷は、受光部1のオーバーフローバリアOB以上に蓄積されるため、垂直転送レジスタ2にて転送する信

【0084】また、転送電極19を通してエネルギーイオン注入によって、各部の埋め込みウェル領域12を形成すること、従来の複数枚のマスクを用いたイオ

【0085】上記実施例に係るイメージは、フレーム・インターライン転送(F

【0086】また、固体撮像素子のほか、み領域を有するMOS-FETや、例えばの低減化等を目的とした埋め込み領域をランジスタ又はnpnランジスタにお

は、基板下に素子分離用の選択酸化によ

(9)

特開平 8 -

15

16

の機能を、基板上に形成される半導体素子の各機能部に対応したものにすることができ、上記埋め込み領域の機能を十分に発揮させることが可能となる。

【0088】また、請求項3記載～請求項5記載の本発明に係る半導体装置によれば、受光部、読出しゲート部及び電荷転送部の各特性に応じた機能を有する埋め込み領域を形成することが可能となり、受光部に蓄積される信号電荷の蓄積量（最大信号電荷蓄積量）を増やすことができ、しかも、飽和光量以上に対する蓄積電荷量の入射光量依存性が良好になり、感度の向上を図ることができる。

【0089】また、請求項6記載の本発明に係る半導体装置の製造方法によれば、埋め込み領域は、深さ方向に変化を有することになり、半導体素子を構成する各機能部の特性に応じた位置に埋め込み領域を形成することが可能となる。その結果、半導体基板中に形成される埋め込み領域の機能を、基板上に形成される半導体素子の各機能部に対応したものにすることができ、上記埋め込み領域の機能を十分に発揮させることが可能となる。また、半導体基板上に形成される半導体素子のデバイス特性向上のための不純物導入回数を低減することができ、製造工程の簡略化及び工数削減を図ることができる。

【0090】また、請求項7記載の本発明に係る半導体装置の製造方法によれば、埋め込み領域が深さ方向に変化を有することになり、固体撮像素子を構成する各機能部の特性に応じた位置に埋め込み領域が形成されることになる。これにより、受光部に蓄積される信号電荷の蓄積量（最大信号電荷蓄積量）を増やすことができ、しかも、飽和光量以上に対する蓄積電荷量の入射光量依存性が良好になり、感度の向上を図ることができる。また、各機能部の特性を向上させるための複数回にわたる不純物導入を最小限に抑えることが可能となるため、特性向上のための工程が大幅に低減され、製造工程の低減化及び工数の削減化を実現させることが可能となる。

【図面の簡単な説明】

* 【図1】本発明に係る半導体装置を例えインターライン転送（FIT）方式のCCDに適用した実施例（以下、実施例に係ずと記す）を示す構成図である。

【図2】本実施例に係るイメージセンサ周辺部分の構成を示す断面図である。

【図3】本実施例に係るイメージセンサの工程図（その1）である。

【図4】本実施例に係るイメージセンサの工程図（その2）である。

【図5】図2におけるA-A'線上のボを示す特性図である。

【図6】図2におけるB-B'線上のボを示す特性図である。

【図7】従来の埋め込み領域の形成方法である。

【図8】従来例に係るイメージセンサの周辺部分の構成を示す断面図である。

【図9】図8におけるA-A'線上のボを示す特性図である。

【図10】図8におけるB-B'線上のボを示す特性図である。

【符号の説明】

1 受光部

2 垂直転送レジスタ

11 n形のシリコン基板

12 p形の埋め込みウェル領域

14 n形の転送チャネル領域

15 p形のチャネルストップ領域

16 p形の正立蓄積領域

18 ゲート絶縁膜

19 転送電極

22 A1遮光膜

RG 読出しゲート部

【図5】

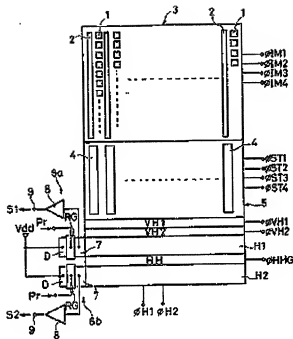
【図6】



(10)

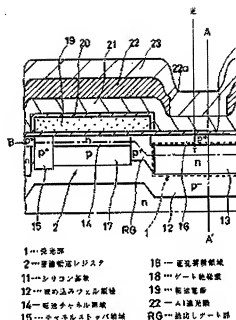
待開平 8 -

【図1】



本発明のイメージセンサ

【図2】



本発明の受光部とその周辺部分の

【図7】

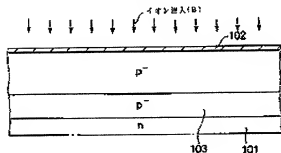
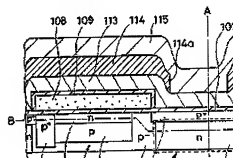


図7のイメージセンサの構造を示す断面図

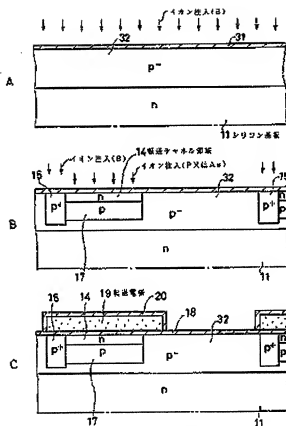
【図8】



(11)

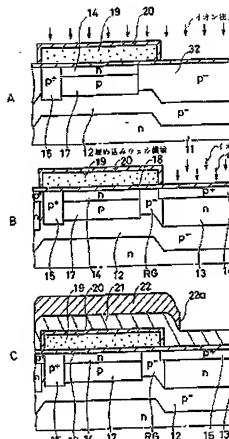
特開平 8 -

【図3】



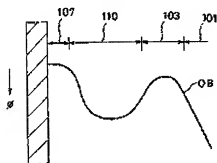
本実施例に係る製造方法を示す
工程図(その1)

【図4】

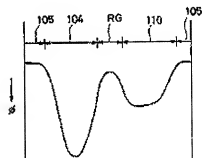


本実施例に係る製造方法を示す
工程図(その2)

【図9】



【図10】



特開平 8 -

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 13 年 9 月 14 日 (2001. 9. 14)

【公開番号】特開平 8 - 2 1 3 5 8 2
 【公開日】平成 8 年 8 月 20 日 (1996. 8. 20)
 【年追号数】公開特許公報 8 - 2 1 3 6
 【出願番号】特願 7 - 1 6 1 6 7
 【国際特許分類第 7 版】

H01L 27/146
 21/265

H04N 1/19

【F I】

H01L 27/14 A
 21/265 Y

H04N 1/04 102

【手続補正書】
 【提出日】平成 12 年 11 月 16 日 (2000. 11. 16)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】0082
 【補正方法】変更

【補正内容】

【0082】そして、上述のことから、
 射した場合に、信号電荷が読出しゲート
 垂直転送レジスタ側に流出するという
 れ、ブルーミング（電荷溢れ）耐性を改
 能となる。